

CLIPPEDIMAGE= JP411068116A

PAT-NO: JP411068116A

DOCUMENT-IDENTIFIER: JP 11068116 A

TITLE: FILM TRANSISTOR, AND ITS MANUFACTURE

PUBN-DATE: March 9, 1999

INVENTOR-INFORMATION:

NAME

I, SAN HO

ASSIGNEE-INFORMATION:

NAME

LG SEMICON CO LTD

COUNTRY

N/A

APPL-NO: JP10050383

APPL-DATE: March 3, 1998

INT-CL (IPC): H01L029/786;H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify the manufacture process and embody the stable

movement of a cell by forming a source electrode on a gate insulating film corresponding to the bottom of a trench, and forming a drain region within an active layer corresponding to the top of the substrate at a certain distance apart from the gate electrode.

SOLUTION: An active layer is made on a substrate 41 and a trench 42. A gate insulating film 44 is made on an active layer. First and second gate electrodes 45a and 46b are made on the gate insulating film 44, corresponding to the first and second flanks of the trench 42. Then, a source electrode S is made in the active layer corresponding to the bottom of the bottom of the trench between the first and second gate electrodes 45a and 45b, and two drain electrodes d are made within the active layer, corresponding to the top of the substrate 41 at a certain distance apart from the first and the second gate electrodes 45a and 45b. Here, first and second offset regions II are made

within the active layer between the first and the second electrodes 45a and 45b and a drain electrode D.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68116

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>4</sup>

H 0 1 L 29/786  
21/336

識別記号

F I

H 0 1 L 29/78

6 1 6 K

6 1 3 B

6 1 3 A

6 1 7 A

6 1 8 C

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平10-50383

(22) 出願日 平成10年(1998) 3月3日

(31) 優先権主張番号 3 8 8 8 2 / 1 9 9 7

(32) 優先日 1997年 8月14日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ  
ッド

大韓民国、チュンチェオンブクド、チ  
ェオンジュ、フンドクーグ、ヒヤングジェ  
オンードン、1

(72) 発明者 イ サン ホ

大韓民国 チュンチョンブクド チョン  
ズーシ フンドクーグ ヒヤンジョンード  
ン 50 エルジー バンドチョイ ナムザ  
ギスクサ シンカン 336

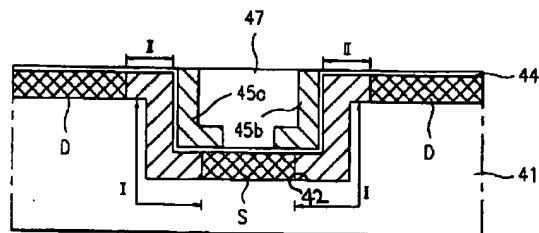
(74) 代理人 弁理士 恩田 博宜

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 セルフアラインにてチャネル領域及びオフセ  
ット領域を形成して、製造工程を簡略化し、安定したセ  
ルの動作を具現するに適した薄膜トランジスタを提供す  
ること。

【解決手段】 薄膜トランジスタは、基板41と、基板  
41に形成された溝42と、基板41及び溝42上に形  
成された活性層43と、活性層43上に形成されたゲ  
ート絶縁膜44と、溝42の第1及び第2側面に対応する  
ゲート絶縁膜44上に形成された第1及び第2ゲート電  
極45a、45bと、両ゲート電極45a、45b間  
において溝42底面に対応する活性層43に形成されたソ  
ース電極Sと、第1及び第2ゲート電極45a、45b  
から一定の距離において基板41上に対応する活性層4  
3内に形成された2つのドレイン領域Dとを備える。



## 【特許請求の範囲】

## 【請求項1】 基板と、

前記基板に形成された溝と、

前記基板及び溝上に形成された活性層と、

前記活性層上に形成されたゲート絶縁膜と、

少なくとも前記溝の一側面に対応する前記ゲート絶縁膜上に形成されたゲート電極と、

前記溝の底面に対応する活性層内に形成されたソース領域と、

前記ゲート電極から一定の距離をおいて前記基板上に対応する前記活性層内に形成されたドレイン領域とを備えることを特徴とする薄膜トランジスタ。

## 【請求項2】 前記溝は第1及び第2側面を有し、

前記ゲート電極は、前記溝の第1及び第2側面に対応する前記ゲート絶縁膜上に形成された第1及び第2ゲート電極を含み、

前記ソース領域は、前記第1及び第2ゲート電極の間において前記溝の底面に対応する活性層内に形成され、

前記ドレイン領域は、前記第1及び第2ゲート電極から一定の距離をおいて前記基板上に対応する前記活性層内に2つ形成されることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 前記第1及び第2ゲート電極と前記ドレイン領域との間の活性層内に第1及び第2オフセット領域をさらに備えることを特徴とする請求項2に記載の薄膜トランジスタ。

## 【請求項4】 基板に第1及び第2側面を有する溝を形成する工程と、

前記基板及び前記溝上に活性層を形成する工程と、

前記活性層上にゲート絶縁膜を形成する工程と、

少なくとも前記溝の一側面とその一側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に、伝導性のパターンを形成する工程と、

前記パターンをマスクにしてイオンを注入して前記活性層内にソース及びドレイン領域を形成する工程と、前記基板に対応する前記ゲート絶縁膜上の前記パターンを除去してゲート電極を形成する工程とを備えることを特徴とする薄膜トランジスタの製造方法。

【請求項5】 前記パターンを形成する工程は、前記溝の第1及び第2側面と前記第1及び第2側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に、第1及び第2パターンを形成する工程を含み、

前記ソース及びドレイン領域を形成する工程は、前記第1及び第2パターンをマスクにしてイオンを注入して前記活性層内にソース及び2つのドレイン領域を形成する工程を含み、

前記ゲート電極を形成する工程は、前記基板に対応する前記ゲート絶縁膜上の前記第1及び第2パターンを除去して第1及び第2ゲート電極を形成する工程を含むことを特徴とする請求項4に記載の薄膜トランジスタの製造

方法。

【請求項6】 前記第1及び第2ゲート電極を形成する工程は、

前記ゲート絶縁膜上に伝導層を形成する工程と、

前記溝の第1及び第2側面に隣接する前記基板上と前記溝の底面の一部とに対応する前記伝導層上にマスク層を形成する工程と、

前記マスク層を用いて前記伝導層をパターンニングして前記第1及び第2パターンを形成する工程と、

前記溝内に絶縁層を形成する工程と、

前記絶縁層と前記ゲート絶縁膜とをマスクにして前記基板上に対応する第1及び第2パターンを食刻して第1及び第2ゲート電極を形成する工程とをさらに備えることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】 前記絶縁層と前記ゲート絶縁膜とは互いに食刻選択比が異なる物質で構成されることを特徴とする請求項6に記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子に関し、特にセルフアラインにてオフセット領域及びソース／ドレイン電極を形成するに適した薄膜トランジスタ並びにその製造方法に関する。

## 【0002】

【従来の技術】一般に、薄膜トランジスタは、1M級以上のSRAMセルのCMOSロードトランジスタ又はロードレジスタの代わりに使用される。又、薄膜トランジスタは、液晶表示素子で各ピクセル領域の画像データ信号をスイッチングするスイッチング素子としても使用される。特に、PMOS薄膜トランジスタをロードトランジスタとして使用するSRAMセルにおいては、PMOSのオフ電流を減少させるとともに、オン電流を増加させることにより、SRAMセルの消費電力が減少し且つ記憶特性が向上され、その結果、高品質のSRAMセルが得られる。オフセット領域はSRAMセルの安定した動作のための重要な要素として作用する。このため、このようなオフセット領域を正確に（製造工程の進行中に変化しないように）形成することが大切な問題であった。

【0003】以下、従来の薄膜トランジスタ並びにその製造方法を添付図面に基づき説明する。図1は従来の薄膜トランジスタの構造を示す断面図である。

【0004】従来の薄膜トランジスタは、図1に示すように、絶縁層21と、絶縁層21上の所定領域に形成されたゲート電極22aと、ゲート電極22aを含む絶縁層21上に形成されたゲート絶縁膜24と、ゲート電極22aと一定の距離を置いてゲート絶縁膜24上に形成されたドレイン電極Dと、前記ゲート電極22aとオーバーラップされ、前記ドレイン電極Dに対向してゲート

絶縁膜24上に形成されたソース電極Sと、前記ソース電極Sとドレイン電極Dとの間のゲート絶縁膜24上に形成されたチャネル領域I及びオフセット領域IIとから構成される。

【0005】ここで、オフセット領域IIとは、ドレイン電極Dとゲート電極22aとの間の領域のことである。次に、このようにして構成された従来の薄膜トランジスタの製造方法を添付図面に基づき説明する。

【0006】図2～図5は従来の薄膜トランジスタの製造方法を工程順に説明するための断面図である。まず、図2に示すように、絶縁層21上に第1ポリシリコン層22を形成する。ここで、第1ポリシリコン層22は薄膜トランジスタのゲート電極用のポリシリコンである。前記第1ポリシリコン層22上にフォトレジストを塗布した後、露光及び現像工程でパターンニングしてゲート電極パターン23を形成する。

【0007】この後、ゲート電極パターン23を形成するフォトレジストをマスクに用いて食刻工程で前記第1ポリシリコン層22を選択的に除去して、図3に示すようにゲート電極22aを形成する。

【0008】次いで、図4に示すように、ゲート電極22aを含む絶縁層21上にゲート絶縁膜24、例えばシリコン酸化膜を蒸着する。そして、前記ゲート絶縁膜24上に第2ポリシリコン層25を形成した後、前記第2ポリシリコン層25上にフォトレジスト26を塗布する。

【0009】この後、図5に示すように、チャネル領域及びオフセット領域を形成するために、第2フォトレジスト26をパターンニングしてマスクパターン26aを形成する。そして、前記マスクパターン26aをマスクに用いたソース／ドレイン用の不純物イオンの注入を行って、一部がゲート電極22aとオーバーラップされるソース電極Sと、前記ゲート電極22aと一定の距離をおいて形成されるドレイン電極Dとを形成する。

【0010】このような工程を経て従来の薄膜トランジスタの製造工程が完了する。

【0011】

【発明が解決しようとする課題】しかし、かかる従来の薄膜トランジスタ及びその製造方法は、ソース／ドレイン電極とチャネル領域及びオフセット領域とを形成するにあたって別のマスク工程を必要とするため、工程が複雑になる。そして、マスクのアライン時に、ミスアラインに起因してオフセット領域が変化して正確に形成されなくなるが、このようなオフセット領域の変化はSRA Mセルの安定化を低下させる重要な要因となる。

【0012】本発明は、上記の問題点を解決するためになされたもので、ソース／ドレイン電極とオフセット領域及びチャネル領域とをマスクを使用せずにセルフアラインにて形成することにより、製造工程を簡略化し、且つ安定したセルの動作を具現するに適した薄膜トランジ

スタ及びその製造方法を提供することにその目的がある。

【0013】

【課題を解決するための手段】上記の目的を達成するために、請求項1に記載の薄膜トランジスタは、基板と、前記基板に形成された溝と、前記基板及び溝上に形成された活性層と、前記活性層上に形成されたゲート絶縁膜と、少なくとも前記溝の側面に対応する前記ゲート絶縁膜上に形成されたゲート電極と、前記溝の底面に対応する活性層内に形成されたソース領域と、前記ゲート電極から一定の距離をおいて前記基板上に対応する前記活性層内に形成されたドレイン領域とを備える。

【0014】請求項2に記載の薄膜トランジスタでは、請求項1において、前記溝は第1及び第2側面を有し、前記ゲート電極は、前記溝の第1及び第2側面に対応する前記ゲート絶縁膜上に形成された第1及び第2ゲート電極を含み、前記ソース領域は、前記第1及び第2ゲート電極の間において前記溝の底面に対応する活性層内に形成され、前記ドレイン領域は、前記第1及び第2ゲート電極から一定の距離をおいて前記基板上に対応する前記活性層内に2つ形成されることを特徴とする。

【0015】請求項3に記載の薄膜トランジスタは、請求項2において、前記第1及び第2ゲート電極と前記ドレイン領域との間の活性層内に第1及び第2オフセット領域をさらに備えることを特徴とする。

【0016】請求項4に記載の薄膜トランジスタの製造方法は、基板に第1及び第2側面を有する溝を形成する工程と、前記基板及び前記溝上に活性層を形成する工程と、前記活性層上にゲート絶縁膜を形成する工程と、少なくとも前記溝の側面とその側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に伝導性のパターンを形成する工程と、前記パターンをマスクにしてイオンを注入して前記活性層内にソース及びドレイン領域を形成する工程と、前記基板に対応する前記ゲート絶縁膜上の前記パターンを除去してゲート電極を形成する工程とを備える。

【0017】請求項5に記載の薄膜トランジスタの製造方法では、請求項4において、前記パターンを形成する工程は、前記溝の第1及び第2側面と前記第1及び第2側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に、第1及び第2パターンを形成する工程を含み、前記ソース及びドレイン領域を形成する工程は、前記第1及び第2パターンをマスクにしてイオンを注入して前記活性層内にソース及び2つのドレイン領域を形成する工程を含み、前記ゲート電極を形成する工程は、前記基板に対応する前記ゲート絶縁膜上の前記第1及び第2パターンを除去して第1及び第2ゲート電極を形成する工程を含むことを特徴とする。

【0018】請求項6に記載の薄膜トランジスタの製造方法では、請求項5において、前記第1及び第2ゲート

電極を形成する工程は、前記ゲート絶縁膜上に伝導層を形成する工程と、前記溝の第1及び第2側面に隣接する前記基板上と前記溝の底面の一部とに対応する前記伝導層上にマスク層を形成する工程と、前記マスク層を用いて前記伝導層をパターンニングして前記第1及び第2パターンを形成する工程と、前記溝内に絶縁層を形成する工程と、前記絶縁層と前記ゲート絶縁膜とをマスクにして前記基板上に対応する第1及び第2パターンを食刻して第1及び第2ゲート電極を形成する工程とをさらに備えることを特徴とする。

【0019】請求項7に記載の薄膜トランジスタの製造方法では、請求項6において、前記絶縁層と前記ゲート絶縁膜とは互いに食刻選択比が異なる物質で構成されることを特徴とする。

【0020】

【発明の実施の形態】以下、本発明の薄膜トランジスタ及びその製造方法の一実施形態を添付図面に基づき説明する。

【0021】図6は本実施形態における薄膜トランジスタの構造を示す断面図である。本実施形態の薄膜トランジスタは、図6に示すように、基板41と、前記基板14に形成され、第1及び第2側面を有する溝42と、前記基板41及び前記溝42上に形成された活性層43と、前記活性層43上に形成されたゲート絶縁膜44と、前記溝42の第1及び第2側面に対応する前記ゲート絶縁膜44上に形成された第1及び第2ゲート電極45a、45bと、前記第1及び第2ゲート電極45a、45b間において溝42の底面に対応する活性層43内に形成されたソース領域（ソース電極）Sと、前記第1及び第2ゲート電極45a、45bから一定の距離において前記基板41上に対応する活性層43内に形成された2つのドレイン領域（ドレイン電極）Dとを含んで構成される。

【0022】ここで、前記第1及び第2ゲート電極45a、45bと、前記ドレイン電極Dとの間の活性層43内に第1及び第2オフセット領域IIが形成される。以下、このようにして構成された本実施形態の薄膜トランジスタの製造方法を説明する。

【0023】図7～図12は本実施形態の薄膜トランジスタの製造方法を工程順に説明するための断面図である。まず、図7に示すように、基板41の所定の部位を食刻して溝42を形成する。ここで、基板41は絶縁膜或いは絶縁基板を含む。

【0024】図8に示すように、溝42を含む基板41上に活性層43を形成し、前記活性層43上にゲート絶縁膜44、例えばシリコン酸化膜を順次に積層形成する。ここで、前記活性層43は以後にソース電極及びドレイン電極として使用される。

【0025】次いで、図9に示すように、前記ゲート絶縁膜44上に伝導層45を形成した後、その伝導層45

の全面にフォトレジスト46を塗布する。そして、露光及び現像工程でフォトレジスト46をパターンニングする。

【0026】次いで、図10に示すように、前記フォトレジスト46をマスクに用いて食刻工程で前記伝導層45を選択的に除去して、図11に示すように第1、第2パターンとしての前記第1、第2ゲート電極45a、45bを形成する。この際、前記第1、第2ゲート電極45a、45bは前記溝42の中央で互いに分離される。

10 このように、第1、第2ゲート電極45a、45bを形成した後、前記ゲート電極45a、45bをマスクに用いてソース／ドレイン用の不純物イオンの注入を施す。これにより、第1、第2ゲート電極45a、45bが分離されている溝42の中央（溝42の底面）に対応する活性層43がソース電極Sとなり、前記ソース電極Sの両側の基板41上に対応する活性層43がそれぞれドレイン電極Dとなる。なお、パターンニングされた前記フォトレジスト46は、不純物イオンの注入前或いは注入後に取り除かれる。

20 【0027】次いで、図11に示すように、前記第1、第2ゲート電極45a、45bを含むゲート絶縁膜44上に絶縁層47を形成する。この際、前記絶縁層47の物質としては、前記ゲート絶縁膜44との食刻選択比が異なる物質、例えばシリコン窒化膜を蒸着する。もしも、前記ゲート絶縁膜44がシリコン窒化膜であれば、前記絶縁層47はシリコン酸化膜を使用する。これは、後工程で行われる絶縁層47のエッチバック工程時に、前記絶縁層47とゲート絶縁膜44との食刻選択比を異にしてゲート絶縁膜44の下側のドレイン電極Dがオーバーエッチされることを防止するためのものである。

30 【0028】図12に示すように、前記絶縁層47をエッチバックして前記溝42を絶縁層47で埋め立てる。この際、前記ゲート絶縁膜44が露出されるまで絶縁層47をエッチバックするとき、前述したようにゲート絶縁膜44と絶縁層47との食刻選択比が異なるため、前記ゲート絶縁膜44の下側のドレイン電極Dはダメージを被らない。そして、同図に示すように、露出されたゲート電極45a、45bをエッチバックして全体的に平坦化をなす。ここで、チャネル領域Iは溝42の側面と底面とに沿って形成され、オフセット領域IIは前記チャネル領域Iに対して直交する方向に形成される。すなわち、前記オフセット領域IIはドレイン電極Dと平行に形成される。この際、ゲート絶縁膜44の上面と前記第1及び第2ゲート電極45a、45bの上側面とが同一平面上に位置する。

50 【0029】上記のように製造された薄膜トランジスタにおいては、一つの溝42内の両側面に第1及び第2ゲート電極45a、45bが形成されるとともに、溝42の底面に両ゲート電極45a、45b共通のソース領域Sが形成される。このため、二つの薄膜トランジスタが

一つの溝42内に設けられることになり、素子の集積度を向上させることができる。

【0030】さらに、第1及び第2パターンを構成する第1及び第2ゲート電極45a、45bをマスクに兼用したセルフアライン方式によって、ソース/ドレイン電極S、D及びチャネル/オフセット領域I、IIが形成される。つまり、従来では、ゲート電極を形成するためのフォトマスク工程と、オフセット領域等を形成するためのフォトマスク工程とを別々に行う必要があった。それに対し、本実施形態では、ゲート電極45a、45bを形成するためのフォトマスク工程のみを行えば、後は、形成されたゲート電極45a、45bをそのままマスクとして使用して、オフセット領域等を形成することができる。このため、製造工程を簡略化することができるとともに、オフセット領域が正確に形成されて安定したセルが得られる。

【0031】伝導層45により形成された第1及び第2パターンは、ソース/ドレイン電極S、D及びチャネル/オフセット領域I、IIの形成のためのマスクとして使用される。又、溝42内に形成された絶縁層47及びゲート絶縁膜44が食刻のためのマスクとして使用されることによって、基板41上に突出する第1及び第2パターンが除去され、その結果、第1及び第2ゲート電極45a、45bが形成される。よって、伝導層45をイオン注入のマスクとして利用するだけでなく、これをゲート電極45a、45bとして使用することにより、製造工程を単純化することができる。

【0032】しかも、絶縁層47はゲート絶縁膜44と食刻選択比が異なるため、絶縁層47の食刻時に活性層43（特に、ドレイン電極D）に悪影響を与えない。なお、上記実施形態では、一つの溝42に二つのゲート電極45a、45bを形成したが、本発明の他の実施形態では、溝の一侧にのみゲート電極を形成してもよい。図示していないが、この他の実施形態では、基板に溝を形成した後、溝を含む基板の全面に活性層を形成する。この後、活性層上にゲート絶縁膜を形成し、その後、ゲート絶縁膜の全面にゲート電極を形成するための伝導層を形成する。次に、伝導層上にフォトレジストを形成し、前記溝の一侧面に対応するよう前記フォトレジストをパターニングした後、パターニングされたフォトレジストをマスクにして伝導層を食刻してゲート電極を形成する。以後の工程は二つのゲート電極を形成するときと同様に行われる。

【0033】

【発明の効果】請求項1、4に係る発明では、ゲート電極をマスクとして使用することにより、別のフォトマスク工程を行うことなくセルフアライン方式によってソース/ドレイン領域等を形成することが可能となる。このため、製造工程を簡略化することができる。

【0034】請求項2、5に係る発明では、一つの溝内

の両側面に第1及び第2ゲート電極が形成されるとともに、溝の底面に両ゲート電極共通のソース領域が形成される。このため、二つの薄膜トランジスタを一つの溝内に設けることができ、素子の集積度を向上させることができる。

【0035】請求項3に係る発明では、ゲート電極をマスクとして使用することにより、別のフォトマスク工程を行うことなくセルフアライン方式によってオフセット領域を形成することが可能となるので、製造工程を簡略化することができるとともに、オフセット領域が正確に形成されて安定したセルが得られる。

【0036】請求項6に係る発明では、伝導層により形成された第1及び第2パターンがソース/ドレイン領域の形成のためのマスクとして使用される。又、溝内に形成された絶縁層とゲート絶縁膜とが食刻のためのマスクとして用いられることによって、基板上の第1及び第2パターンが除去されて第1及び第2ゲート電極が形成される。よって、伝導層をイオン注入のマスクとして利用するだけでなく、これをゲート電極として使用することにより、製造工程を単純化することができる。

【0037】請求項7に係る発明では、絶縁層はゲート絶縁膜と食刻選択比が異なるため、絶縁層の食刻時に活性層に影響を与えない。

【図面の簡単な説明】

【図1】 従来の薄膜トランジスタの構造を示す断面図。

【図2】 従来の薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図3】 従来の薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図4】 従来の薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図5】 従来の薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図6】 本発明の一実施形態における薄膜トランジスタの構造を示す断面図。

【図7】 本発明の一実施形態における薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図8】 本発明の一実施形態における薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図9】 本発明の一実施形態における薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図10】 本発明の一実施形態における薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図11】 本発明の一実施形態における薄膜トランジスタの製造方法を工程順に説明するための断面図。

【図12】 本発明の一実施形態における薄膜トランジスタの製造方法を工程順に説明するための断面図。

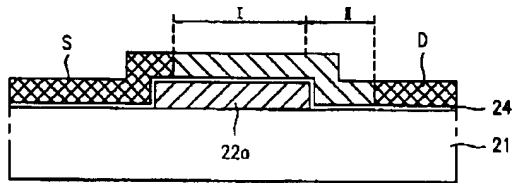
【符号の説明】

41 基板

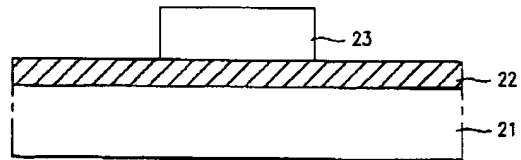
- 42 溝  
43 活性層  
44 ゲート絶縁膜  
45 伝導層  
45a 第1ゲート電極  
45b 第2ゲート電極

- 46 フォトリソグ  
47 絶縁層  
S ソース領域としてのソース電極  
D ドレイン領域としてのドレイン電極  
I チャンネル領域  
II オフセット領域

【図1】



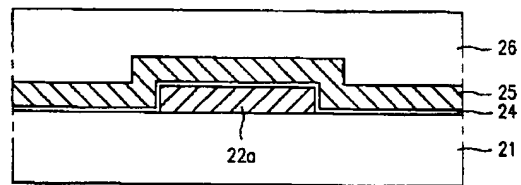
【図2】



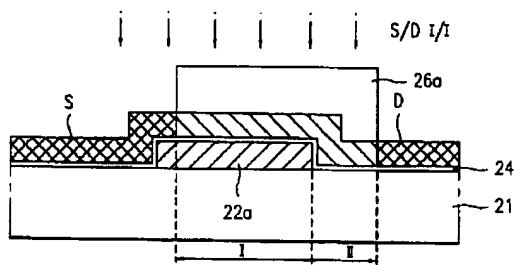
【図3】



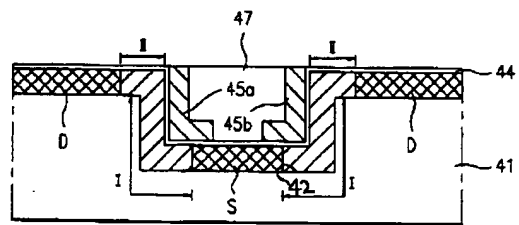
【図4】



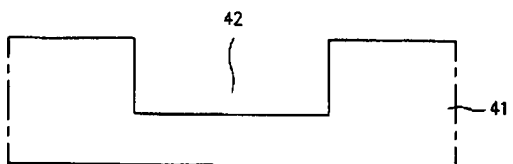
【図5】



【図6】

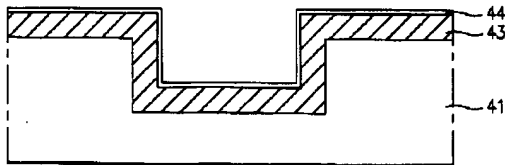


【図7】

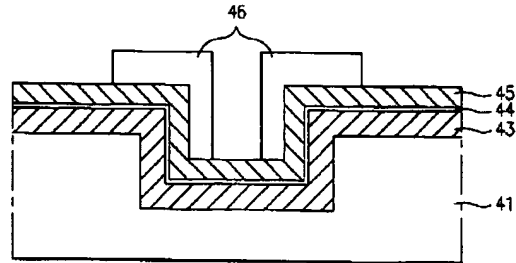




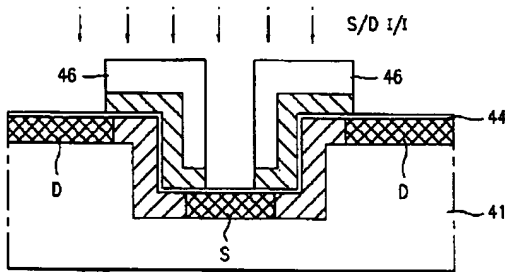
【図8】



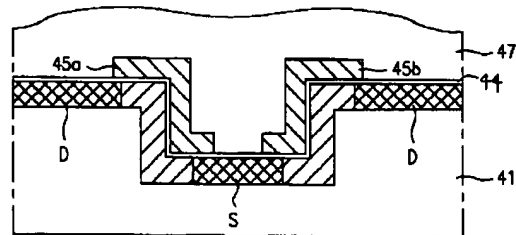
【図9】



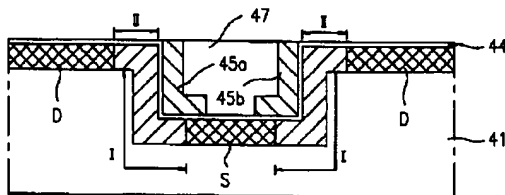
【図10】



【図11】



【図12】



## 【手続補正書】

【提出日】平成10年11月18日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板と、  
前記基板に形成された溝と、  
前記基板及び溝上に形成された活性層と、  
前記活性層上に形成されたゲート絶縁膜と、  
少なくとも前記溝の一側面に対応する前記ゲート絶縁膜上に形成されたゲート電極と、  
前記溝の底面に対応する活性層内に形成されたソース領域と、  
前記ゲート電極から一定の距離において前記基板上に対応する前記活性層内に形成されたドレイン領域と、  
前記ゲート電極と前記ドレイン領域との間の活性層内に

設けられたオフセット領域とを備えることを特徴とする薄膜トランジスタ。

【請求項2】 前記溝は第1及び第2側面を有し、  
前記ゲート電極は、前記溝の第1及び第2側面に対応する前記ゲート絶縁膜上に形成された第1及び第2ゲート電極を含み、  
前記ソース領域は、前記第1及び第2ゲート電極の間において前記溝の底面に対応する活性層内に形成され、  
前記ドレイン領域は、前記第1及び第2ゲート電極から一定の距離において前記基板上に対応する前記活性層内に2つ形成され、

前記オフセット領域は、前記第1及び第2ゲート電極と前記ドレイン領域との間の活性層内に2つ形成されることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 基板上に第1及び第2側面を有する溝を形成する工程と、  
前記基板及び前記溝上に活性層を形成する工程と、  
前記活性層上にゲート絶縁膜を形成する工程と、

少なくとも前記溝の一側面とその一側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に、伝導性のパターンを形成する工程と、

前記パターンをマスクにしてイオンを注入して前記活性層内にソース及びドレイン領域を形成する工程と、

前記基板に対応する前記ゲート絶縁膜上の前記パターンを除去してゲート電極を形成する工程とを備えることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記パターンを形成する工程は、前記溝の第1及び第2側面と前記第1及び第2側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に、第1及び第2パターンを形成する工程を含み、

前記ソース及びドレイン領域を形成する工程は、前記第1及び第2パターンをマスクにしてイオンを注入して前記活性層内にソース及び2つのドレイン領域を形成する工程を含み、

前記ゲート電極を形成する工程は、前記基板に対応する前記ゲート絶縁膜上の前記第1及び第2パターンを除去して第1及び第2ゲート電極を形成する工程を含むことを特徴とする請求項3に記載の薄膜トランジスタの製造方法。

【請求項5】 前記第1及び第2ゲート電極を形成する工程は、

前記ゲート絶縁膜上に伝導層を形成する工程と、  
前記溝の第1及び第2側面に隣接する前記基板上と前記溝の底面の一部とに対応する前記伝導層上にマスク層を形成する工程と、

前記マスク層を用いて前記伝導層をパターニングして前記第1及び第2パターンを形成する工程と、

前記溝内に絶縁層を形成する工程と、  
前記絶縁層と前記ゲート絶縁膜とをマスクにして前記基板上に対応する第1及び第2パターンを食刻して第1及び第2ゲート電極を形成する工程とをさらに備えることを特徴とする請求項4に記載の薄膜トランジスタの製造方法。

【請求項6】 前記絶縁層と前記ゲート絶縁膜とは互いに食刻選択比が異なる物質で構成されることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】上記の目的を達成するために、請求項1に記載の薄膜トランジスタは、基板と、前記基板上に形成された溝と、前記基板及び溝上に形成された活性層と、前記活性層上に形成されたゲート絶縁膜と、少なくとも前記溝の一側面に対応する前記ゲート絶縁膜上に形成されたゲート電極と、前記溝の底面に対応

する活性層内に形成されたソース領域と、前記ゲート電極から一定の距離をおいて前記基板上に対応する前記活性層内に形成されたドレイン領域と、前記ゲート電極と前記ドレイン領域との間の活性層内に設けられたオフセット領域とを備える。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】請求項2に記載の薄膜トランジスタでは、請求項1において、前記溝は第1及び第2側面を有し、前記ゲート電極は、前記溝の第1及び第2側面に対応する前記ゲート絶縁膜上に形成された第1及び第2ゲート電極を含み、前記ソース領域は、前記第1及び第2ゲート電極の間において前記溝の底面に対応する活性層内に形成され、前記ドレイン領域は、前記第1及び第2ゲート電極から一定の距離をおいて前記基板上に対応する前記活性層内に2つ形成され、前記オフセット領域は、前記第1及び第2ゲート電極と前記ドレイン領域との間の活性層内に2つ形成されることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】請求項3に記載の薄膜トランジスタの製造方法は、基板上に第1及び第2側面を有する溝を形成する工程と、前記基板及び前記溝上に活性層を形成する工程と、前記活性層上にゲート絶縁膜を形成する工程と、少なくとも前記溝の一側面とその一側面に隣接する前記基板とに対応する前記ゲート絶縁膜上に伝導性のパターンを形成する工程と、前記パターンをマスクにしてイオンを注入して前記活性層内にソース及びドレイン領域を形成する工程と、前記基板に対応する前記ゲート絶縁膜上の前記パターンを除去してゲート電極を形成する工程とを備える。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】請求項4に記載の薄膜トランジスタの製造方法では、請求項3において、前記パターンを形成する工程は、前記溝の第1及び第2側面と前記第1及び第2側面に隣接する前記基板とに対応する前記ゲート絶縁膜

上に、第1及び第2パターンを形成する工程を含み、前記ソース及びドレイン領域を形成する工程は、前記第1及び第2パターンをマスクにしてイオンを注入して前記活性層内にソース及び2つのドレイン領域を形成する工程を含み、前記ゲート電極を形成する工程は、前記基板に対応する前記ゲート絶縁膜上の前記第1及び第2パターンを除去して第1及び第2ゲート電極を形成する工程を含むことを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項5に記載の薄膜トランジスタの製造方法では、請求項4において、前記第1及び第2ゲート電極を形成する工程は、前記ゲート絶縁膜上に伝導層を形成する工程と、前記溝の第1及び第2側面に隣接する前記基板上と前記溝の底面の一部とに対応する前記伝導層上にマスク層を形成する工程と、前記マスク層を用いて前記伝導層をパターニングして前記第1及び第2パターンを形成する工程と、前記溝内に絶縁層を形成する工程と、前記絶縁層と前記ゲート絶縁膜とをマスクにして前記基板上に対応する第1及び第2パターンを食刻して第1及び第2ゲート電極を形成する工程とをさらに備えることを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】請求項6に記載の薄膜トランジスタの製造方法では、請求項5において、前記絶縁層と前記ゲート絶縁膜とは互いに食刻選択比が異なる物質で構成されることを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】

【発明の効果】請求項1、3に係る発明では、ゲート電極をマスクとして使用することにより、別のフォトマス

ク工程を行うこと無くセルフアライン方式によってソース／ドレイン領域及びオフセット領域を形成することが可能となる。このため、製造工程を簡略化することができる。しかも、オフセット領域が正確に形成されて安定したセルが得られる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】請求項2、4に係る発明では、一つの溝内の両側面に第1及び第2ゲート電極が形成されるとともに、溝の底面に両ゲート電極共通のソース領域が形成される。このため、二つの薄膜トランジスタを一つの溝内に設けることができ、素子の集積度を向上させることができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】削除

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】請求項5に係る発明では、伝導層により形成された第1及び第2パターンがソース／ドレイン領域の形成のためのマスクとして使用される。又、溝内に形成された絶縁層とゲート絶縁膜とが食刻のためのマスクとして用いられることによって、基板上の第1及び第2パターンが除去されて第1及び第2ゲート電極が形成される。よって、伝導層をイオン注入のマスクとして利用するだけでなく、これをゲート電極として利用することにより、製造工程を単純化することができる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】請求項6に係る発明では、絶縁層はゲート絶縁膜と食刻選択比が異なるため、絶縁層の食刻時に活性層に影響を与えない。